

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-090962

(43)Date of publication of application : 21.04.1988

(51)Int.Cl.

H04N 1/393

(21)Application number : 61-236269

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing :

06.10.1986

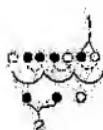
(72)Inventor : YAMAMOTO SUSUMU

(54) IMAGE REDUCING CIRCUIT

(57)Abstract:

PURPOSE: To obtain a satisfactorily reduced image by a simple circuit constitution, by determining a signal state by a decision of majority based on picture information of a three-picture element portion, in case of producing the picture information of a one-element portion from the picture information of a two-picture element or three-picture element portion.

CONSTITUTION: When a picture element which becomes an object of reduction consists of two picture elements, it becomes three picture elements by adding one adjacent picture element one picture element of them, and with regard to these picture elements a decision by majority of picture information is executed. That is to say, when the decision by majority is executed by a group of two picture elements each, four picture elements of the right side become a 'draw', and with regard to the picture element 2 which has been changed, a signal state cannot be determined. Therefore, as for such a picture element, a decision by majority is executed with regard to total three picture elements which added one adjacent element and they become picture elements after a change. In this case, even if the decision by majority is executed suddenly with regard to the three picture elements, the same result is obtained. In this way, a collapse of an image and an omission of picture information are minimized, and a satisfactorily reduced image can be obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

② 公開特許公報 (A) 昭63-90962

②Int.Cl.¹
H 04 N 1/393識別記号 庁内整理番号
7170-5C

②公開 昭和63年(1988)4月21日

審査請求 未請求 発明の数 2 (全7頁)

②発明の名称 画像縮小回路

②特 願 昭61-236269
②出 願 昭61(1986)10月6日

②発明者 山 本 進 埼玉県岩槻市大字岩槻1275番地 富士ゼロックス株式会社

岩槻事業所内

②出願人 富士ゼロックス株式会社 東京都港区赤坂3丁目3番5号

②代理人 弁理士 山内 梅雄

明細書

1. 発明の名称

画像縮小回路

2. 特許請求の範囲

1. 各ラインを構成する画素の各々が2位の信号状態のいずれかをとり、画像の縮小率に応じて前記画素の枚数を減少させる処理を行う画像処理装置において、画素の数の減少処理を行う箇所を指定する画素処理箇所指定手段と、この画素処理箇所指定手段によって指定された箇所における連続した3画素についてそれらの信号状態の多数決をとりこれにより決定された信号状態で変更後の画素の信号状態を決定する画素変更手段とを具備することを特徴とする画像縮小回路。

2. 画素変更手段は隣接した2画素を1画素に変更する際、前記2画素のいずれかと隣接する1画素を加えた3画素を用いて多数決により変更後の1画素の信号状態を決定することを特徴とする特許請求の範囲第1項記載の画像縮小回路。

3. 各ラインを構成する画素の各々が2位の信

号状態のいずれかをとり、画像の縮小率に応じて前記画素の枚数を減少させる処理を行う画像処理装置において、画素の数の減少処理を行う箇所を指定する画素処理箇所指定手段と、この画素処理箇所指定手段によって指定された箇所の連続したN個の画素をこれより少ないM個の画素に変換する際、複数の連続した画素を1画素に減少させるまたは複数の組み合わせでこれを実現することにし、それぞれについて多数決でその1画素の信号状態を決定する画素変換手段とを具備することを特徴とする画像縮小回路。

4. 画素変換手段は連続した奇数個の画素を1画素に変換する際にはこの奇数個の画素の信号状態について多数決をとり、偶数個の画素を1画素に変換する際には、これらの画素のいずれかと隣接する他の1画素を加えた画素の信号状態について多数決をとることを特徴とする特許請求の範囲第3項記載の画像縮小回路。

5. 多数決をとる画素変換手段は、一部の画素信号を同数ずつとの互いに反対の状態の信号に強制的

特開昭63-90962 (2)

に選定させることによって、多数の対象となる選択号の数を実質的に変更させることを特徴とする特許請求の範囲第4項記載の図面等小回路。

3. 発明の詳細な説明

【発明上の利用分野】

本発明はファクシミリ実現や画像取扱装置における場合のように、イメージスキャナで読み取った回路号等を基にして最後の縮小を行う縮像等小回路に関する。

【従来の技術】

例えばCCD(Charge Coupled Devices)等の読み取装置を用いて、ラインアズ比断像の読み取りを行う画像取扱装置では、画像の出力を行う初期タイミングとの関係で最後の縮小を行うことがある。ライン方向(主走査方向)について縮小数を減少させるために、從来から幾つかの方法が存在した。既定された範囲をもつ範囲(50%)に減少させる場合を例にとり、これを説明する。なお、ライン方向に50%よりも狭やかな縮小を行う場合には、この50%の縮小の対象となる画面の範囲を過度

減少させねばよい。

ところで第5回に示した方法では、1個の画面1を1つ單独に別個として、3個の画面2に変更する。ここで白丸は白色(添色)の画面を表わしており、黒丸は黒色(印字される色)の画面を表わしている。

これに對して第8回に示した方法では、1個の画面を複数する2画面ずつのグループに分け、これら2画面ずつの割り当てをとつて3個の画面2に変換する。

【発明が解決しようとする課題】

ところが前者の方法では、第8回に示した例によると黒の画面が白の画面よりも他の数倍存在したものが、複数後にはその關係が逆転している。すなはち、この方法では添字3に画面の削除を行うのではなく、複数の画面が重複してしまうという問題がある。

通常の文書きでは、白の画面に付して黒の画面の占める割合が少ない。そこで黒の画面情報をなるべく失わないようにしようとする考えがあり、実

き回に示した方法はこの考え方に基づくものである。ところが第5回に示した例からも分かるように、この方法では黒の画面に挟まれた白の画面が混入するがそれがあり、画面に混入が発生する危険性がある。

そこで、本発明の第1の目的は、画像になるべく誤れが発生することなく、2画面ないしは3画面を1画面に混入することのできる回路等小回路を提供することにある。

また本発明の第2の目的は、例えば7画面から1画面を捨てて3画面に変更するような場合にも、回路等の欠落を最小限に抑えるにとどめられる回路等小回路を提供することにある。

【開発点を解説するための手段】

第1の目的を達成するために第1の発明の画像等小回路では、縮小の対象となる画面が2画面であった場合には、いずれかの画面について1画面を加えて3画面とし、これらの画面について回路等の多数度を算する。縮小の対象となる画面の数が3画面のときには、これに1画面を加えること

なく、多数度をとればよい。

第1回はこの第1の発明を説明するためのものであり、第8回に対応するものである。複数で記された2画面ずつのグループで多数度を探ると、古説の4つの画面については「引き分け」となり、既定更の2つの画面2について回路状態を既定することができない。そこで、このような画面についでは複数する1画面を加えた合計3画面について多数度をとり、既定次の画面とする。この例の場合、3画面についていきなり多数度を探っても初期段が得られる。

同時に第2回は第9回に対応したものである。第9回に示した一番左側とその右隣の画面1、1に対する既定次の画面2は、複数で示した最初に存在する画面の合計状態によってその画面が黒の画面のいずれかに決定されることになる。

次に第2の目的を達成するための第2の発明における画面等小回路には、(1)画面の数の減少処理を行なう箇所を指定する画面記録装置を定めると、(2)この画面記録装置を用いて作

特開昭63-00362 (3)

定された箇所の基準したN個の面をこれより少ないじ前の箇所に接続する際、位置の選択した面を1面目に記入させる1または複数の組み合せでこれを実現することにし、それぞれについて多段式でその1面の符号状態を決定する面接続接続状態を実現させる。そして複数した複数状態の箇所から1箇所を選択する際には前記した多段状態を用いることとする。

例えば第3回に示すように10個の面を1を3回の第1に接続する場合には、3箇の面を1箇の面に記入し得させる方法を2箇と、4箇の面を1箇の面に記入し得させる方法を1箇選択し、それぞれについて多段式をとる。奇数個の面を3つ以上で多段式では1箇の面に記入し得させた決定であるが、偶数回の場合にはこれが決定できない場合がある。第3回に示した4箇の面の場合がそれである。このような場合には、これらの面のグループに別途する一方の面を加えた最も数の面にについて多段式をとる。第3回に示した例では、左側に記述した白丸の箇所一つを加え、複数段の

面第3を白丸とした。

このように本発明によれば、面の流れや面接続の矢印を云小見にし、良好な面小見性を保つことができる。

「実施例」

以下実施例につき本発明を詳細に説明する。

「第1」の実施例

第4回は第1の実施例を説明するためのもので、本発明の第1の実施例における面接続小回路の裏面を示したものである。この面接続小回路で入力端子1に供給される面信号1-2は第1のD・フリップフロップ1-3の入力端子D₁に供給される。第1のD・フリップフロップ1-3の出力端子Q₁は第2のD・フリップフロップ1-4の入力端子D₁に連続され、第2のD・フリップフロップ1-4の出力端子Q₁は第3のD・フリップフロップ1-5の入力端子D₁に連続されている。それぞれのD・フリップフロップ1-3～1-5の出力端子Q₁～Q₅は多段状態信号1-6の3つの入力となる。またこれらD・フリップフロップ1-3～1-5の

クロック入力端子CKには、他の入力端子1-7に供給されたクロック信号1-8が入力されるようになっている。従って、面信号1-2はクロック信号1-8に両端して1端ずつ、フリップフロップ1-3～1-5にシフトされて取り込まれ、3段部分の符号状態が多段状態信号1-6に供給されることになる。

一方、クロック信号1-8はインバータ回路1-9で出力を反転させてカウンタ回路2-1に供給される。このカウンタ回路2-1には、死に他の入力端子2-2に供給される面接続固定信号2-3が入力される。カウンタ回路2-1は面接続固定信号2-3の指定に依りてクロック信号1-8を計数し、計数値データ2-4をレーケンス回路2-5に供給する。レーケンス回路2-5は例えばROM(リード・オシリ・メモリ)によって構成されており、該端末固定信号2-3と対応するデータ2-4をアドレス情報として3種類の制御信号の読み出しを行なう。すなわち、カウンタ結果信号2-6はカウンタ回路2-1のデータを行なう。また面小見示信号2-7はデータ

レーケンタチ2-8に供給されて、出力端子Q₁から出力される面信号2-9と多段状態信号1-6から出力される多段状態信号3-1との選択が行われる。シーケンス回路2-5から出力されるクロック駆動信号3-2は、2入力アンド回路3-3に供給され、クロック信号1-8と接続部がとられる。

以上の接続として、データセレクタ2-8からは該小回路後の面信号3-4が出力され、アンド回路3-3からはこの面信号3-4を伝送するための出力クロック信号3-5が供給される。2つの出力端子3-6、3-7に接続されたこれらの信号2-4、3-5は、例えば表示しないプリンタに供給され、そのバッファモードに蓄えられたのち、1ラインずつ記録されることになる。

第5回は、以上のような構成の面接続小回路の動作例を説明するためのものである。面信号8は第3回で入力端子1-1に供給されたクロック信号1-8の発生タイミングを示している。3つのD・フリップフロップ1-3～1-5の出力端子Q₁～Q₅からは、第3回の4～6に示したように1箇

特開昭63-20962 (4)

分かつ送信された信号号 39、38、39 が送出されることになる。多段決済路 1-6 はこれらの信号号 28、38、39 に対して、全区間にわたり多段決済号 31 を送出する。

ところでシーケンス回路 25 が時序に応じてクロック無効信号 32 (第 5 回路) を送出すると、これがレベル化した区間ににおいてアンド回路 33 がクロック信号 15 の通路を遮断する。すなまち、この区間にだけ送出クロック信号 35 (第 5 回路) が遮断される。そして、並んで発生した時序信号 28 が前小回路号 27 (第 5 回路) によってデータセレクタ 28 が前小回路号 27 の多段決済信号をなし多段決済号 31 の選択を行なう。この結果、西信号 34 (第 5 回路) は、その区間で 3 つの選択した回路号 27+1、n+2、n+3 の多段決済の結果としての信号状態となる。

後続する区間しない回路では、第 5 回路に示した西信号 34 が送出クロック信号 35 でサンプリングされ、西信号が減少した (この回路の部分では 1 西半分の減少) 西信号を示すことになる。

「第 2 の実施例」

第 2 回路は本発明の第 2 の実施例における画像信号回路を示したものである。この画像信号回路は 3 つの入力信号 51-53 と 2 つの出力信号 54、55 を備えている。第 1 の入力信号 51 に供給される西信号 56 は 5 段に分割された D・クリップフロップ 57-61 によって順次シフトされるようになっている。このために、これらの中の D・クリップフロップ 57-61 のクロック入力信号 51-K には、各回路の伝達を行うためのクロック信号 63 が入力されるようになっている。D・クリップフロップ 57-61 の出力信号 54 に現われる 1 西半分ずつ現れる西信号 54-56 は多段決済回路 60 に投入され、それらの多段決済がとられる。一方、第 2 の入力信号 52 に供給されたクロック信号 63 は 2 入力アンド回路 71 の一方の入力になる旨、インバータ 72 によって論理を反転されてカウント回路 73 に供給される。ここでクロック数が計数される。この結果得られた信号をデータ 74 はシーケンス回路 75 に供給される。シーケンス回路 75 は

ケンス回路 76 は例えば ROM によって論理されたり、計算データ 74 と第 3 の入力信号 53 に供給された時序信号 77 をアドレス情報として 3 進制の解説回路 77-78 を出力する。

このうち、2、3 進制固定信号 77 は、第 2 の D・クリップフロップ 57 のクリップセレクト信号 77-R の人力となると共に、第 1 の D・クリップフロップ 57 のクリア信号 77-C に投入される。またも、5 進制固定信号 78 は、第 4 の D・クリップフロップ 61 のブリッキット信号 78-R の人力となると共に、第 5 の D・クリップフロップ 61 のクリア信号 78-C に投入される。入力クリッカマスク信号 78 はアンド回路 71 の他方の入力信号に供給され、クロック信号 63 がマスクに用いられる。この回路は小回路では、多段決済路 59 から出力をされる西信号 81 をアンド回路 71 から出力をされるクロック信号 82 でサンプリングしたもののが、次の西信号となる。

以上のような変換回路小回路の動作の一例を次に第 7 図を用いて説明する。

この第 2 の実施例の回路構造小回路では、1/5 までの幅小が可能となり、また、第 7 回路では 3/10 の幅小が実現される場合を示している。回路はクロック信号 63 の発生タイミングを表しており、これに例題として回路 57-61 に示すように回路信号 54-56 が 1 西半分ずつ現れるながら出力されることになる。

ところで、一般に q/p ($q < p$) の幅小を行なう場合、本実例ではこれを分子が “1” となる (または被除数の分母の組み合わせで実現する)。これを一般的な式で表わすと次のようになる。

$$\frac{1}{n} \left[\frac{q}{p}, 0, 0, \dots, 0 \right] = \frac{1}{n-1}, \dots, \frac{1}{1}$$

但し、ここで n 、 p 、 q はそれぞれ整数である。この実施例のように q/p が $3/10$ の場合には、これは例えば $1/3$ 、 $1/3$ 、 $1/4$ の組み合わせとなる。また例えば q/p が $3/1$ とするは、これは一例として $1/2$ 、 $1/2$ 、 $1/2$ の

特許昭63-30962 (5)

組み合わせとができる。

すなわちこの両端開の場合は、先の第3回に示したようではまず3端子を1端子に変更するような組合が行われる。このとき、端子番号8-16はこののような断端部を示す端子となる。この結果、シーケンス回路8-5はクロック信号を3を3段階分カウントする時点で片レベルの入力クロックマスク信号8-1を発生させ(第7回⁽¹⁾)、この回路だけクロック信号8-3をクロック信号8-2-1(第7回⁽²⁾)として出力せることになる。このとき、端子番号8は3両端子についての多数決が行われる。そこで、そのタイミングで4、5回路開端子号7-8(第7回⁽³⁾)が片レベルに変化し、第4および第5のD・フリップフロップ8-0、8-1の出力が固定され、3つの回路号8-4～8-6(第7回⁽⁴⁾)の多数決がとられる。ここで出力が固定されたとは、それらの出力(この場合には端子番号8-7、8-8)が片レベルとレベルに同じはずつかない、多数決に影響を及ぼしないことをいう。多数決をとられた結果としての端子号

8-1～(第7回⁽⁵⁾)は、出力端子5-4から出力されることになる。

次に4回先分については、端子番号8-1が4回路から1端子を作成するような指示を与える。この結果、シーケンス回路7-5はクロック信号8-3を4回分カウントする時点で片レベルの入力クロックマスク信号8-1～2を発生させ、この回路だけクロック信号8-3をクロック信号8-2-2として出力せることになる。このとき、回路号8は4回先分に1回素分を足した5回先分についての多数決が行われる。これは、調節部の両端で引き分けが行われる状態を避けるためである。

この多数決が行われるとともに、5回先回路号8-3は片レベルになっている。従って、端子番号8-3のD・フリップフロップ8-0、8-1の出力が固定されておらず、3つの回路号8-1～8-3の多数決がとられる。多数決をとられた結果としての端子号8-1～2は、出力端子5-4から出力される。

最後の3両端子については、先の3両端子と同様に初期が行われ、端子番号8-1～3とクロック信号8-2～3がそれぞれ出力されることになる。

なお、1ラインで端子端子の組合が行われない部分では、2、3両端子回路号7-7とは片レベルとなり、多数決は否定される。すなわちこのときにには常に2端子が片レベル。他の2端子が片レベルに固定され、端子番号8-4の信号状態がそのまま多数決回路8-9の出力する回路号8-1となる。このようこの第2の実施例では1/pが3/1の1の場合を例に挙げて説明したが、これはライン方向で最大3/1の端子が行われることを意味するものであり、このような状況を行なう割合を変化させれば、端子番号をこれよりも複数やかな範囲で如何にも設定することができます。

以上第1および第2の実施例ではD・フリップフロップ回路を用いて端子号の端子端子を行なったが、シフトレジスタを用いたりランダム・アクセス・メモリ等の他の端子端子を用いても同様の結果を行なうことができる。また第1の実施例では3

回路分について端子端子に多数決を行なったが、2回路を1回路に変更する場合には、この2回路で1回路の信号状態を決定することができない場合のみ1両端子の端子端子を加え、3両端子について多数決を行なうようにしてもよい。

「発明の名称」

このように第1の発明によれば、2回路あるいは3回路分の最後端から1回路分の回路情報を作成する際に3回路分の回路情報を基に多数決で信号端子を決定したので、比較佑樹等は回路構成で良好な端子端子を得ることができる。

また第2の発明によれば、端子番号の自由度が増し、しかも複数の回路から1回路を作成する際に多数決の原理を適用したので、自動的な回路の欠陥が少なくなり、回路の良好な品質を保つことができる。

しかも、いずれの発明においても由の回路から端子端子に変化する点のよう回路情報の変化する部分をモーリ化しながら回路構成を行なう処理方法と比較するとハードウェアがはるかに簡単となり、

特開昭63-90062 (6)

起動のための時間が短縮されるという効果もある。

4. 図面の簡単な説明

第1図および第2図は第1の発明における多段決算運送をそれぞれ説明するための実用図、第3図は第2発明における多段決算運送を説明するための実用図、第4図は第3の発明を説明するための実用図、第5図は第4の発明を説明するための実用図における各部の動作を示すタイミング図、第6図はこの第1の実用例における各部の動作を示すタイミング図、第7図はこの第2の実用例における各部の動作を示すタイミング図、第8図はこの第3の実用例における各部の動作を示すタイミング図、第9図はこの第4の実用例における各部の動作を示すタイミング図、第10図は2箇所から1箇所までの取扱いに所要して原点の記入を行なう方法を示す実用図、第11図は2箇所の信号状態の検測結果をとて記入の順序を行なう操作の方法を示す説明図である。

1 …… (小回路初期の) 面面、
 2、3 …… (小回路操作後の) 面面、
 12、34、56、81 …… 面信号、
 18、69 …… 多段決算図面。

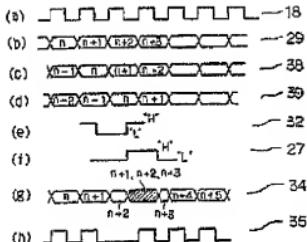
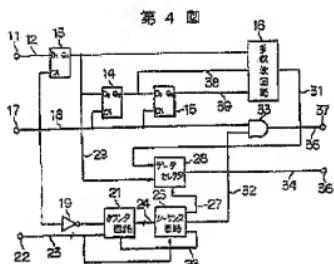
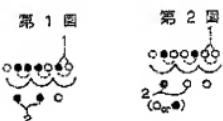
1、63 …… クロック信号、
 23 …… 振幅固定信号、
 25、75 …… シーケンス図面、
 28 …… ゲートセレクタ、
 33、71 …… アンド回路、
 75 …… 構小信号回路、
 77 …… 2、3面振幅固定信号、
 78 …… 4、5面振幅固定信号。

出願人

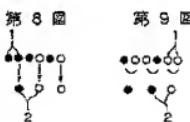
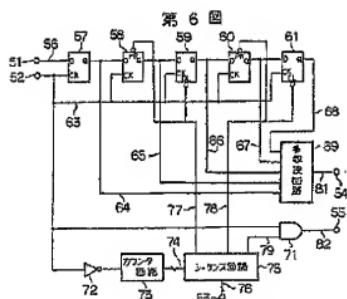
富士ゼロックス株式会社

代理人

弁理士 山内 勤



特開昭53-90862 (7)



第 7 因